جامعة عين شمس
كلية الهندسة

طريقة لاختبار الدوائر الرقمية التي تحوي جزئياً تقنية مسح الحدود

رسالة
مقدمة للحصول على درجة الماجستير في الهندسة الكهربائية
(شعبة هندسة الاتصالات و الالكترونيات)
من

محمد سميح محمد شتلة
بكالوريوس الهندسة الكهربائية-1997
كلية الهندسة- جامعة عين شمس

تحت إشراف

أ.د محمد عبد المنعم أبوالعلا
أستاذ الهندسة الكهربائية
قسم هندسة الاتصالات و الالكترونيات
كلية الهندسة- جامعة عين شمس

أ.د وجدى رفعت أنيس
أستاذ الهندسة الكهربائية
قسم هندسة الاتصالات و الالكترونيات
كلية الهندسة- جامعة عين شمس

كلية الهندسة
قسم الهندسة الكهربائية

الموافقة على الرسالة

اسم الطالب **: محمد سميح محمد شتلة**

عنوان الرسالة: **طريقة لاختبار الدوائر الرقمية التي تحوي جزئياً تقنية مسح الحدود**

الدرجة **: الماجستير**

لجنة الحكم على الرسالة

الاسم	الامضاء
أ.د. عادل عزت محمد الحناوي أستاذ الهندسة الكهربائية قسم هندسة الاتصالات و الالكترونيات كلية الهندسة- جامعة عين شمس	.....
أ.د. أمين محمد نصار أستاذ الهندسة الكهربائية قسم هندسة الاتصالات و الالكترونيات كلية الهندسة- جامعة القاهرة	.....
أ.د. محمد عبد المنعم أبو العلا أستاذ الهندسة الكهربائية قسم هندسة الاتصالات و الالكترونيات كلية الهندسة- جامعة عين شمس	.....
أ.د. وجدي رفعت أنيس أستاذ الهندسة الكهربائية قسم هندسة الاتصالات و الالكترونيات كلية الهندسة- جامعة عين شمس	.....

كلية الهندسة
قسم الهندسة الكهربائية

التعريف بالباحث

الاسم : **محمد سميح محمد شتلة**

تاريخ الميلاد : **١٩٧4/1/14**

محل الميلاد : **القاهرة – جمهورية مصرالعربية**

الدرجة الجامعية الاولي: **بكالوريوس** التخصص: **كهرباء** (قسم هندسة الاتصالات و الالكترونيات)

تاريخ المنح : **يونيو 1997**

الجهة المانحة: **كلية الهندسة – جامعة عين شمس**

الوظيفة: **مهندس اتصالات بالشركة المصرية للأقمار الصناعية " نايل سات"**

كلية الهندسة
قسم الهندسة الكهربائية

المقدمة

الاختبارية هي قابلية المنتج للاختبار لقياس مجموعة من شروط التشغيل مثل الجودة , التكلفة , زمن التشغيل .... الخ.

و التصميم للاختبارية يعنى تعديل الدوائر المنطقية بطريقة تجعلها قابلة للاختبار بصوره سهلة.

الاختبار هو مجموعة من العمليات تهدف إلى التحقق ما إذا كانت الوحدة المصنعة تعمل كما ينبغي تبعا لمواصفاتها القياسية أم لا . يتم هذا عن طريق إدخال أوتوماتيكي لمكونات الاختبار بضم دوائر إضافية تتيح تحديد الخطأ عن طريق جعله خطأ رقمي و هكذا يمكن اكتشافه و تحديد موقعه .

يُصنف الخطأ إلى عدة أنواع , أولا إما أن يكون خطأ موقعي (داخل الدائرة أو داخل البرنامج التشغيلي) , ثانيا أن يكون خطأ في زمن التشغيل (لحظي أو دائم أو عشوائي) .
أيضا يصنف مستوي الخطأ إلى عدة أنواع (مستوي مكونات الدائرة أو مستوي الدائرة أو مستوي النظام أو مستوي الشبكة) .

هناك العديد من الطرق المعروفة جيدا و التي تستخدم حاليا للاختبارية , كالاختبار الذاتي المتضمن (Built in self test) ومثال له تكنولوجيا (JTAG) و التي تطرقت إلى بعد جديد في تصميم الاختبارية , و من الطرق المعروفة أيضا , طريقة مسح الحدود (Boundary scan technique) و هو أسلوب يسمح باختبارية للدوائر عن طريق وصلات حواف الدائرة .

و هناك العديد من المواصفات القياسية التي تستخدم في الطرق المختلفة لاختبارية الدوائر المنطقية(أنظر النسخة الإنجليزية) .

الدوائر المتكاملة اليوم تُعْمَل من الملايين من التّرانزستورات ، لوحات الدّائرة المطبوعة (PCB) ، يمكن أن يكون لديها حتّى عشرة طبقات تسمح بانضمام عدد كبير من العناصر.
و تكنولوجيّات جديدة قد ظهرت مثل المكونات ثلاثية الأبعاد أو مكونات الرقائق المتعدّدة (MCM) .

طبقًا لهذا الواقع ، (IEEE 1149.1) مقياس مسح الحدود (Boundary scan) يسمح للتّصرّف في تحسين التّقنيّة المتقدّمة و تكنولوجيّات شبكة الوصلات ، و مازالت ستحتوي نّظم الدوائر المنطقية على أجزاء بها تقنية مسح الحدود وأجزاء أخرى لا تحوى هذه التقنية.

الهدف من البحث:

مرمى نقطة البحث هو إيجاد طريقة لاختبار لوحات الدوائر الرقمية التي تحوى جزئيًّا تقنية مسح للحدود ، ثم استخدام هذه الطريقة في اكتشاف الخطأ و تحديد موقعه و نوعه .
و الخطأ إما أن يكون في المكونات أو في الوصلات فيما بينها.

خطة البحث:

- أولاً وصف تقنية اختبار مسح الحدود (Boundary scan Technology) .
- ثانياً وصف بروتوكول الاختبار للدوائر المنطقية .
- ثالثاً تعريف نموذج يوظف البروتوكول في اختبار الدوائر.
- رابعاً إيجاد طريقة الاختبار طبقًا لهذا النّموذج.
- خامساً تطبيقها على دائرة واقعية.

كلية الهندسة
قسم الهندسة الكهربائية

ملخص الرسالة

تحوى الدوائر المتكاملة حاليا ملايين المكونات الألكترونية وقد أتاح استخدام الدوائر المطبوعة متعددة الطبقات ايضا تنفيذ دوائر الكترونية شديدة التعقيد حيث تحتوى على عدد هائل من المكونات . وتحتاج هذه الدوائر الى تقنيات متقدمة لاختبار صلاحيتها للعمل . ومن التقنيات المعروفة لاختبار الدوائر الألكترونية تقنية المسح الحدودى (Boundary Scan). وتعتمد هذه التقنية التى تستخدم فقط مع الدوائر المنطقية على تزويد الدائرة المتكاملة بدوائر إضافية على أطراف الدخول و الخروج ينم من خلالها إجراء الاختبار المطلوب . وقد صُدّقتْ كمعيار IEEE Standard منذ فبراير/شباطِ 1990 . وقد امكن زيادة فاعلية هذه التقنية لتشمل اللوحات المطبوعة ايضا .

ونهدف من خلال هذه الرسالة الى تطوير طريقة عامة لاختبار لوحات الكترونية قد تحوى دوائر متكاملة غير مزودة بإضافات تقنية مسح الحدود . كما يمكن لهذه الطريقة اظهار العيوب الأخرى مثل القصر و القطع .

الفصل الاول يصف مبادئ وطرق اختبار الدوائر الألكترونية مع تعريف تقنية المسح الحدودى
الفصل الثانى يصف البروتوكول المستخدم فى تقنية المسح الحدودى كما يعطى نموذج السيطرة للبروتوكول.
الفصل الثالث يستعرض حزمة البرامج (JTAGer) المستخدمة مع تقنية المسح الحدودى.
الفصل الرابع يقرح طريقة عامة منخفضة التكلفة باستخدام النموذج السلبق حيث تم تطوير دائرة عملية تتصل بالحاسب الشخصى كما تتصل بالدائرة تحت الاختبار و بذلك يمكن عن طريق برنامج التشغيل إجراء اختبار الصلاحية .
الفصل الخامس يقدم تصميما لوحدة اختبار تعمل بالمبدا المعطى فى الفصل الرابع وتصلح لاختبار دائرة لها عدد 24 أطراف دخول و خروج. وقد اثبتت التجارب المعملية فاعلية الطريق المقترحة وسهولة تنفيذها بتكلفة منخفضة.

Ain Shams University
Faculty of Engineering

TEST METHODOLGY OF PARTIALLY BOUNDARY SCAN BOARDS

BY

Mohammed Samih Shatla
B.Sc. in Communication & Electronic Engineering (1997), Ain Shams University

A THESIS

SUBMITTED IN FULFILMENT OF THE REQUIREMENTS
FOR THE DEGREE OF MASTER OF SCIENCE IN
ELECTRICAL ENGINEERING

SUPERVISED BY

Prof Dr. Mohammed Abou El-Ela
Prof. Of Electrical Engineering
Communication & Electronic Engineering Department
Faculty of Engineering –Ain Shams University

Prof Dr. Wagdy Refaat Anis
Prof. Of Electrical Engineering
Communication & Electronic Engineering Department
Faculty of Engineering –Ain Shams University

APPROVAL SHEET

Name of Student: Mohammed Samih Shatla

Title of Thesis:"TEST METHODOLGY OF PARTIALLY BOUNDARY SCAN BOARDS"

Degree **:** Master of Science in Electrical Engineering
(Electronics & Communications Engineering)

EXAMINER COMMITTEE

Name, Title & Affiliation	**Signature**
1-Prof. Dr. Adel Ezzat Mohammed El-Hennawy Communication & Electronic Engineering Department Faculty of Engineering –Ain Shams University	……..
2- Prof. Dr. Ameen Mohammed Nassar Communication & Electronic Engineering Department Faculty of Engineering –Cairo University	……..
3- Prof. Dr. Mohammed Abd El Menem Abou El-Ela Communication & Electronic Engineering Department Faculty of Engineering – Ain Shams University	……...
4- Prof. Dr. Wagdy Refat Anis Communication & Electronic Engineering Department Faculty of Engineering – Ain Shams University	……...

STATEMENT

This dissertation is submitted to Ain Shams University for the degree of **M. Sc.** in Electrical Engineering.

The work included in this thesis was carried out by the author in the Department of Electrical Engineering.

No part of this thesis has been submitted for a degree or for a qualification at any other University or Institution.

Date : / /
Signature:
Name: Mohammed Samih Shatla

INFORMATION ABOUT THE RESEARCHER

Name **:**Mohammed Samih Shatla

Date of Birth: 14/01/1974

Place of Birth: Cairo – Egypt

Qualification: B.Sc.Degree in Electrical Engineering, Faculty of Engineering, Ain Shams University, 1997.

Current Job: Satellite operation Engineer Manager in the space sector in the Egyptian Satellite company NILESAT.

Acknowledgment

I have the pleasure of working under supervision of Prof.Dr. Mohamed Abou El-Ela , Prof.Dr. Wagdy refaat Anis in Electronics and communications Department.

Many thanks to God for this success. I donate it to my mother for her prayers. I would like to express my deepest gratitude to the supervisors for their helpful, generous advices and guidance throughout the period of this research. I thank my Supervisors especially Eng. Amer Latif and my friends in NILESAT the Egyptian satellite company for allowing slots of time for my research.

Mohammed Samih Shatla

JUNE.2006

Abstract

Today's Integrated Circuits are made of millions of components, Printed Circuit Boards (PCBs) today accommodate up to sixteen layers allowing implementation of a large number of components. This large number of elements and components need for a clever technique and powerful require for testing. Besides packaging technologies have recently appeared.
Boundary Scan (BS) technique constitutes a specific logic circuits designed and inserted in any integrated circuits (IC). Logic circuits should placed in each input and output pins of the IC, renders it to be testable while the board will consequently be testable.
This makes us to adopt the IEEE 1149.1 boundary scan standard are implemented which allows to cope with state of the art packaging and wiring technologies. This standard matches with boards that contain BS chips and non-BS clusters of chips.

The thesis aims at finding a global methodology for the test of boards having partially BS components. Which represent the more difficult case of testing.
A methodology which unifies the test of components and their interconnects. It is based on a scheduling approach to simultaneously test both BS components and non-BS logic clusters, as well as interconnects. Short and open faults are also detected and addressed.

In chapter 1: Describes the basic test concepts and Defines the Boundary Scan test in details.
In chapter 2: Defines the protocol used in this test and Elabors model for controlling the test protocol.
In chapter 3: Defines JTAGer software program tool based on BS test application.
In chapter 4: Unifies a global methodology using the above mentioned model and introduces an experimental setup to perform and validate the proposed methodology.
In chapter 5: Introduces a new idea for new test kit equipped with the author used for testing array or matrix of chips up to 24 I/O.

Introduction

Our roadmap in this thesis in chapter1 part1 starts with the Basic test concepts based on defining the fault models and controllability / observability issues, in order to prepare the reader for the elementary procedures leading to automatic test vector generation. Many of the current test vector generation algorithms can be traced back to a basic procedure developed in the mid-60s by Paul Roth and known as the *D-algorithm* and finally to testability improvement alternatives made possible by ad hoc and structured test methods.

The increasing complexity of integrated circuits (ICs) made it exceedingly difficult to develop test programs for the functional test of complex printed circuit boards (PCBs), requiring extensive access to internal control and observation points (functional test equipment relies heavily on access through edge connectors and therefore became increasingly inefficient in these cases) and the shrinking effect of using small outline surface mount devices and advanced mounting technologies almost disabled physical access to internal PCB nodes (in-circuit test equipment relies on the use of bed-of-nail fixtures to provide direct contact to internal PCB nodes, but is limited in terms of mechanical precision and reliability).
The two main reasons in the above mentioned led during the 80s to the development of the BST (Boundary scan testing) technology and it was approved as an IEEE standard since February of 1990 , under the title of “A standard boundary scan architecture and test access port”.

Chapter1 part2 start by presenting the reasons that led to the BST technology and proceed to identify its application domain. The BS architecture and test access port (TAP) will then be presented with enough details.

Chapter2 part1 start by defining the test protocol of BS boards, checking the integrity of the BS infrastructure itself, followed by two main types of tests: interconnects and components.
Introducing the fault types and the affected reasons.

Chapter2 part2 start by defining a BS test model which is a formal specification "language" that allows us to code the necessary test protocol steps. The BS test model presented in this chapter is the tool that will enable us to specify test programs for real case studies.
Chpter3 introduces an application called "JTAGer" for interfacing the test program with the parallel port in the personal computer run in any windows operating systems like 2K/ME/XP.

Chapter4 shows a practical application of all the concepts described so far, using as a demonstration vehicle a very simple board with BS.
The complexity of this demonstration board is low for pedagogical reasons, but it includes the same test cases that are to be found in most real life test situations: multiple (2) BS chains, non-BS clusters (2) and primary I/O pins. The board will be described in first place, followed by the analysis of the information required for test vector generation and, in the last section, by the test program generated for all steps in the test protocol, assuming the BS test controller model presented in the previous chapter.

Chapter5 introduces a new idea shows the practical application of all the concepts described so far, using as a demonstration test kit board to test a non-BS components.
The complexity of this demonstration board test kit is low for simplify reasons, this kit for testing up to 24 I/O pins for one chip or multi-chips or matrix of chips.

LIST OF CONTENTS

CHAPTER (1) BASIC TEST CONCEPTS AND BOUNDARY SCAN TEST (BST) TECHNOLOGY

1.1 introduction……20
1.2 Fault modeling and ss@ faults 20
1.3 Controllability, observability and testability 22
1.4 Test vector generation for combinational circuits.....24
1.5 Testability and test generation in sequential circuits 27
1.6 Testability improvement via ad hoc solution.....33
1.7 Structured approaches to design for testability 34
1.8 The development of BST and its application domain 43
1.9 The BS architecture and test access port (TAP) 44
1.9.1 The basic boundary scan cell.....47
1.9.2 The test data registers.....49
1.9.3 The instruction register.....50
1.9.4 The TAP controller 51

CHAPTER (2) TEST PROTOCOL FOR BST BOARDS AND TEST CONTROLLER MODEL.

2.1 introduction……..……54
2.2 Fault detection in the BS infrastructure 54
2.3 Open fault detection in full-BST interconnections.....56
2.4 Short-circuit fault detection among full-BST interconnections.....58
2.5 Full-BST interconnect testing in boards with multiple BS chains ……59
2.6 Fault detection in non-BS clusters 60
2.7 Testing non-BS clusters in boards with multiple BS chains 63
2.8 Faulty components detection 63
2.9. BS Test Controller model……..……64
2.9.1 Basic test operations 64
2.9.1.1Basic test operations to control the BS infrastructure 65
2.9.1.2 Basic test operations to synchronize the BS infrastructure with external test resources…….66